

九工大マイクロ化総合技術センターにおける 半導体人材育成の取組みと強化

九州工業大学 マイクロ化総合技術センター
中村 和之



社会人向け実習セミナー 2022年度A日程
(全国高専教員:17名)

社会人向けプロセスセミナーを毎月開催



遠隔型も別途開催中

●産学連携製造中核人材育成セミナー
「半導体デバイス製造プロセス(前工程)」

クリーンルーム内で、自から手によりMOSFETと簡単な論理回路を作製しながら、半導体の微細加工技術の基礎を学ぶことができる4日間のコースです。光学露光装置をはじめ、電気炉やCVD、イオン注入やエッチング等の延べ20台の製造装置をクリーンルーム内で実際に操作し、4インチウエハ上に、MOSFETや、CMOSインバータ回路、Ring Oscillator等の回路を作製し、これらの測定までを体験できます。



●スケジュール

- 第1日 午前：オリエンテーション 午後：酸化工程、Poly-Si堆積工程
- 第2日 午前：リソグラフィ工程 午後：エッチング工程
- 第3日 午前：イオン注入工程 午後：コンタクト形成工程
- 第4日 午前：配線形成工程 午後：試作デバイスの電気的特性測定

- 日程 A) 2023年 6月27日(火)～ 6月30日(金)
- 日程 B) 2023年 7月25日(火)～ 7月28日(金)
- 日程 C) 2023年 8月29日(火)～ 9月 1日(金)
- 日程 D) 2023年 10月3日(火)～ 10月 6日(金)
- 日程 E) 2023年 11月7日(火)～ 11月10日(金)
- 日程 F) 2023年 12月5日(火)～ 12月 8日(金)
- 日程 G) 2024年 1月16日(火)～ 1月19日(金)
- 日程 H) 2024年 2月 6日(火)～ 2月 9日(金)
- 日程 I) 2024年 3月 5日(火)～ 3月 8日(金)

●申込方法 当センターHP: https://www.cms.kyutech.ac.jp/apply_seminar/より、各日程の4週間前までに、お申し込み下さい。

●受講料・定員

実参加型(A-I日程) 149,800(税込) 14名

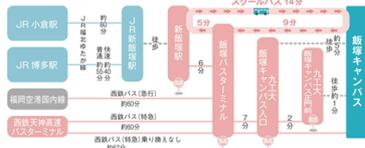
●申し込み・連絡先・お問い合わせ

820-8502 福岡県飯塚市川津680-4

Tel: 0948-29-7580

E-mail: seminar@cms.kyutech.ac.jp

URL: <http://www.cms.kyutech.ac.jp/>



最先端ではないところが逆にポイント:

- ・4-inchウエハ使用 (直接ハンドリング可能)
- ・1- μ m ポリシリゲート 1層アルミCMOSプロセス(光学目視可能)

エッチング
熱酸化
イオン注入

成膜
(スパッタ)

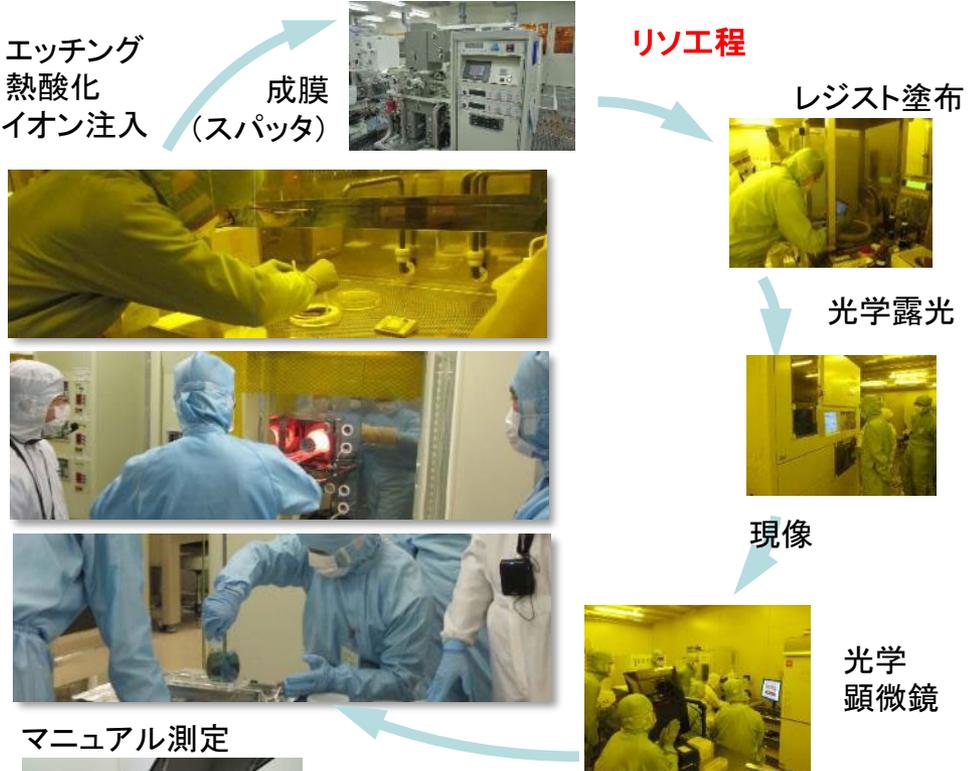
リソ工程

レジスト塗布

光学露光

現像

光学
顕微鏡



マニュアル測定

完成ウエハ

- ・4日間でCMOS ICを自ら試作
- ・最終日に測定実施
- ・ダイシングしたチップを進呈

リアルセミナー受講者の内訳

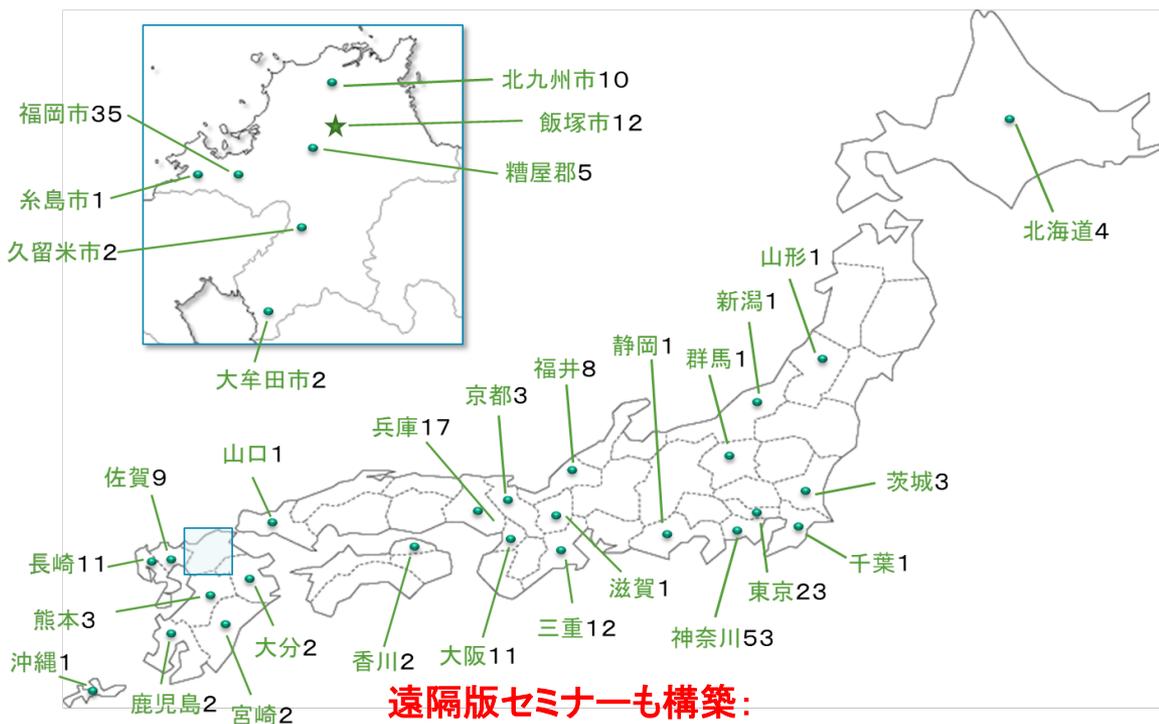
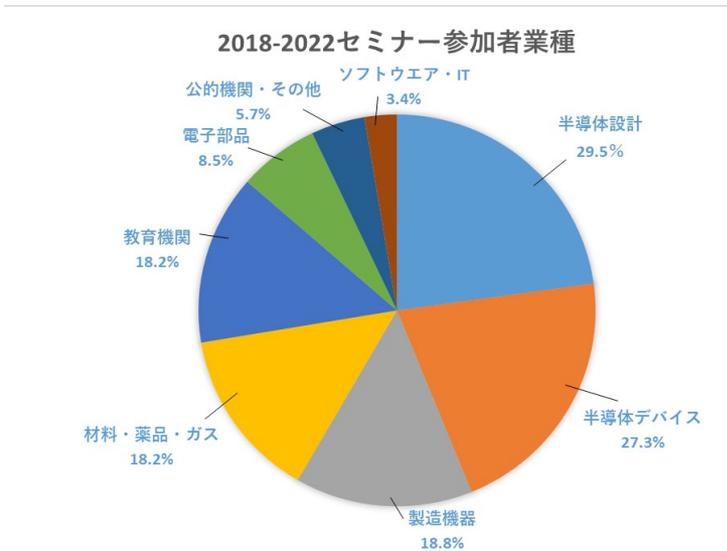


2021年度D日程



2022年度G日程

2018~2022年度 社会人セミナー(プロセス) リアル受講者228名



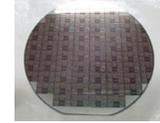
**遠隔版セミナーも構築:
12名(2020)→350名(2021)→500名(2022)**

九工大半導体中核人材リスクリングセンター(R5設立)

- ・教育人材増強(教員/高度専門職 +4名):
 - ・設計系(+2): デザインキット構築・設計
 - ・デバイス系(+2): 多層CMOS LSIの開発・試作
- ・配線多層化装置導入

KPI(2022→2028):

- ・セミナー受講者: 700→**2,100名/年**
- ・リカレント・リスキル教育プログラム: 1→5件
- ・社会人ドクター受入数: 0→10名

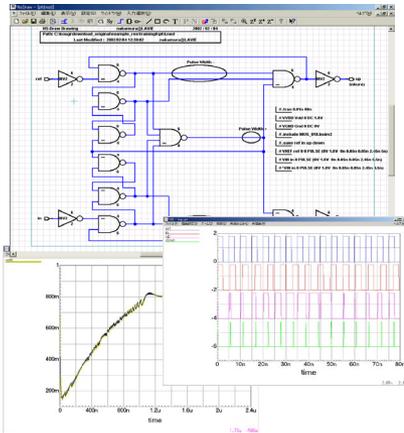


配線多層化
化学機械
研磨装置 (CMP)

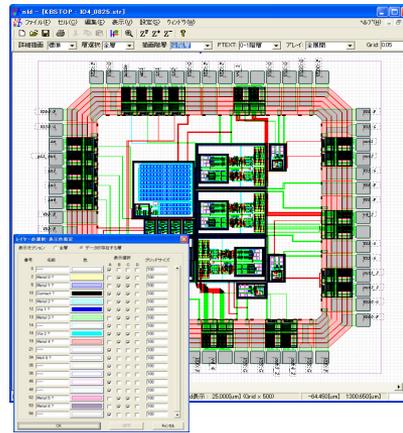


○独自デバイス設計開発実習(R5公開準備中)

マイクロ化総合技術センターの製造ラインにより試作可能な**1.0um CMOS 2層配線ルール**で、LSIの設計を行い、試作LSIの評価まで行います。未経験者でも、担当教員による設計指導とサポートを受けることができ、**3.0x3.0mm角のLSIチップ**を完成させます。**トランジスタレベルの回路設計、回路シミュレーション、レイアウト設計、レイアウト検証等の設計ツールは全て内製またはフリーソフト**を利用します。独自デバイスの企画、設計、試作、評価をリスクリングすることで、**半導体を熟知した新世代デジタル人材を育成**します。



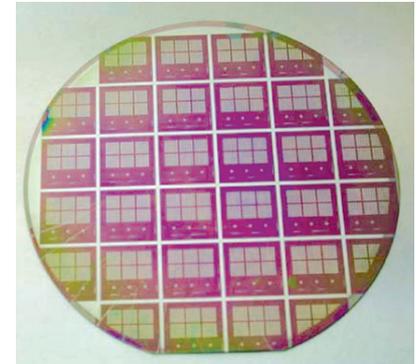
(1) 回路設計



(2) レイアウト設計



(自ら試作も可能)



(3) 評価